

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-074989

(43)Date of publication of application : 14.03.1990

(51)Int.Cl.

G09G 3/20
G02F 1/133
G09G 3/36

(21)Application number : 63-225561

(71)Applicant : FUJITSU LTD

(22)Date of filing : 10.09.1988

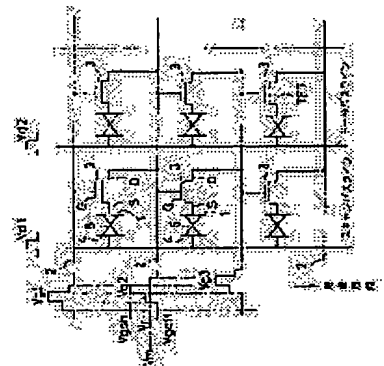
(72)Inventor : OKI KENICHI
YANAI KENICHI
TAKAHARA KAZUHIRO

(54) DRIVING METHOD FOR ACTIVE MATRIX TYPE DISPLAY DEVICE

(57)Abstract:

PURPOSE: To lower a voltage value of negative polarity applied to a gate by applying an address voltage to a scan bus line, and thereafter, applying an intermediate voltage between the address voltage and a non-address voltage.

CONSTITUTION: When an address voltage V_{gon} is applied to a scan bus line 2, a TFT 3 whose gate G is connected to its scan bus line 2 becomes an ON state. Subsequently, after its address voltage V_{gon} is applied, a voltage V_m which is selected to a relation of $V_{gon} > V_m > V_{goff}$ (non-address voltage) is applied. When this voltage V_m is applied, the address voltage V_{gon} is applied to the scan bus line 2 of a rear position in the scanning direction, therefore, a gate - drain voltage of the TFT 3 in which the voltage V_m is applied to the gate G becomes $V_m - V_{gon}$. In this case, since there is a relation of $V_m > V_{goff}$, the gate - drain voltage becomes smaller than before. In such a way, a negative polarity voltage applied to the gate G of the TFT 3 is reduced, and a shift in the negative direction of a threshold voltage can be suppressed.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑫ 公開特許公報(A)

平2-74989

⑬ Int. Cl.⁵G 09 G 3/20
G 02 F 1/133
G 09 G 3/36

識別記号

N

5 5 0

庁内整理番号

6376-5C
8708-2H
8621-5C

⑭ 公開 平成2年(1990)3月14日

審査請求 未請求 請求項の数 1 (全10頁)

⑮ 発明の名称 アクティブマトリクス型表示装置の駆動方法

⑯ 特 願 昭63-225561

⑰ 出 願 昭63(1988)9月10日

⑱ 発 明 者 沖 賢 一 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑲ 発 明 者 梁 井 健 一 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑳ 発 明 者 高 原 和 博 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

㉑ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

㉒ 代 理 人 弁理士 柏谷 昭司 外1名

明 細 書

1 発明の名称

アクティブマトリクス型表示装置の駆動方法

2 特許請求の範囲

一方の透明基板上に、表示電極(1)と、スキャンバスライン(2)と、隣接するスキャンバスライン(2)間にゲート(G)とドレイン(D)とが接続され、前記表示電極(1)にソース(S)が接続された薄膜トランジスタ(3)とを形成し、他方の透明基板上に、前記スキャンバスライン(2)と直交する方向に延長し、且つ前記表示電極(1)と対向する共通電極(4)をデータバスラインとして形成し、前記表示電極(1)と前記共通電極(4)との間に表示媒体を封入したゲート接続対向マトリクス構成のアクティブマトリクス型表示装置の駆動方法に於いて、

前記スキャンバスライン(2)に対して、前記薄膜トランジスタ(3)をオンとするアドレス電圧(V_{gon})を印加した後、走査方向の後位に隣接するスキャンバスライン(2)に前記アドレ

ス電圧(V_{gon})を印加するタイミングに、前記アドレス電圧(V_{gon})と非アドレス時の電圧(V_{goff})との中間の電圧(V_m)を印加する

ことを特徴とするアクティブマトリクス型表示装置の駆動方法。

3 発明の詳細な説明

(概要)

ゲート接続対向マトリクス構成のアクティブマトリクス型表示装置の駆動方法に関し、

薄膜トランジスタの閾値電圧の負側への変化を抑制して駆動することを目的とし、

一方の透明基板上に、表示電極と、スキャンバスラインと、隣接するスキャンバスライン間にゲートとドレインとが接続され、前記表示電極にソースが接続された薄膜トランジスタとを形成し、他方の透明基板上に、前記スキャンバスラインと直交する方向に延長し、且つ前記表示電極と対向する共通電極をデータバスラインとして形成し、前記表示電極と前記共通電極との間に表示媒体を

封入したゲート接続対向マトリクス構成のアクティブマトリクス型表示装置の駆動方法に於いて、前記スキャンバスラインに対して、前記薄膜トランジスタをオンとするアドレス電圧を印加した後、走査方向の後位に隣接するスキャンバスラインに前記アドレス電圧を印加するタイミングに、前記アドレス電圧と非アドレス時の電圧との中間の電圧を印加して駆動する。

(産業上の利用分野)

本発明は、ゲート接続対向マトリクス構成のアクティブマトリクス型表示装置の駆動方法に関するものである。

アクティブマトリクス型表示装置は、スキャンバスラインとデータバスラインとの交点にそれぞれ薄膜トランジスタ等のスイッチング素子を介して表示素子(画素)を接続したもので、各表示素子を独立的に駆動することができるから、表示容量を増大した時にも、単純マトリクス型表示装置に於ける駆動デューティ比の低下の問題等が生じないものである。しかし、薄膜トランジスタ等の

スイッチング素子の特性が変化した場合には、表示特性に影響を及ぼすものであるから、このような特性変化を抑制して、長期間安定な表示を行わせることが要望されている。

(従来の技術)

ゲート接続対向マトリクス構成のアクティブマトリクス型表示装置は、第4図の説明図に示す等価回路構成を有するものであり、一方のガラス基板上に、表示電極と、スキャンバスライン32-1, 32-2, ...と、薄膜トランジスタ(以下TFTと略称する)33とを形成し、隣接するスキャンバスライン間に、TFT33のゲートGとドレインDとを接続し、ソースSに表示電極を接続し、他方のガラス基板上に、表示電極と対向する共通電極をデータバスライン34-1, 34-2, ...として形成し、表示電極と共通電極との間に液晶を封止して、表示素子35を形成し、スキャンバスライン32-1, 32-2, ...に順次走査パルス電圧 V_{g1} , V_{g2} , ...を印加し、それに同期して、データ電圧 V_{d1} ,

V_{d2} , ...をデータバスライン34-1, 34-2, ...に印加し、例えば、フレーム毎にデータ電圧 V_{d1} , V_{d2} , ...の極性を反転するものである。

第5図は前述のアクティブマトリクス型表示装置の分解斜視図であり、一方のガラス基板36上に、表示電極31と、スキャンバスライン32と、TFT33とを形成して、スキャンバスライン32間に、TFT33のゲートGとドレインDとを接続し、ソースSを表示電極31に接続し、他方のガラス基板37上に、スキャンバスラインと直交する方向に延長した共通電極をデータバスライン34として形成し、表示電極31と共通電極との間に表示媒体として液晶を封止したものである。

第6図は動作説明図であり、 V_d はデータ電圧、 V_g はTFT33のゲート電圧、 V_{g0} はTFT33のドレイン電圧、 V_s はTFT33のソース電圧、 $V_{g0}-V_s$ はTFT33のゲート・ドレイン間電圧を示す。又Fは1フレームの期間、 V_{gn}

はTFT33をオンとする為の電圧、 $V_{r'}$ はオン直前の電圧で、データ電圧の印加極性に従って選定されている。又 $V_{g0} \text{ off}$ はTFT33をオフとする為の電圧である。

第4図に示す走査パルス電圧 V_{g1} , V_{g2} , ...は簡略化の為に、TFT33をオンとする為の電圧 V_{gn} と、その直前の電圧 V_{gc} と、TFT33をオフとする為の電圧 $V_{g0 \text{ off}}$ とから構成した場合を示すのものであるが、フレームF毎にデータ電圧 V_d の極性を反転するから、それに対応して、電圧 V_{gc} を、第6図に於いては、電圧 V_r , $V_{r'}$ としたものである。例えば、スキャンバスラインの本数を400、1走査時間を40 μ S、フレーム周波数を60Hzとした時、 $V_{g0 \text{ off}} = -10V$, $V_{gn} = +15V$ とし、又 $V_r = +5V$, $V_{r'} = -5V$ に選定することができる。なお、第4図に於ける電圧 V_{gc} は、 $V_{gc} = V_r = V_{r'} = 0V$ とした場合に相当し、データバスライン34-1, 34-2, ...に印加したデータ電圧 V_d は、表示素子35に

は、 $V_d - V_{gc}$ として印加されるから、表示素子35に印加するデータ電圧の基準の電圧と見做すことができる。

第6図に於いて、例えば、正極性のデータ電圧 V_d を印加するフレームの時刻 t_1 に、データバスライン34-1にデータ電圧 $+V_d$ を印加し、スキャンバスライン32-1に電圧 V_{gon} を印加し、そのスキャンバスライン32-1に隣接するスキャンバスライン32-2に電圧 $V_{r'}$ を印加し、他のスキャンバスライン32-3, 32-4, ...には電圧 V_{goff} を印加すると、ゲートGがスキャンバスライン32-1に接続されたTFT33のゲートGに印加される電圧は V_{gon} 、そのTFT33のドレインDに印加される電圧は $V_{r'}$ となり、それぞれ V_{goff} , $V_{r'}$ に於ける時刻 t_1 の電圧となるから、ゲート・ドレイン間電圧 V_{g-d} は、 $V_{gon} - V_{r'}$ ($= 10V$)となり、そのTFT33はオンとなって、TFT33のソースSは、ドレインDと等しい電位 $V_{r'}$ となり、表示素子35には、データバスラ

イン34-1に印加された電圧 $+V_d$ と $V_{r'}$ との差の電圧が充電されることになる。

次の時刻 t_2 では、スキャンバスライン32-1に電圧 V_{goff} 、スキャンバスライン32-2に電圧 V_{gon} 、スキャンバスライン32-3に電圧 $V_{r'}$ が印加されるので、ゲートGがスキャンバスライン32-1に接続されたTFT33のゲート・ドレイン間電圧 V_{g-d} は、 $V_{goff} - V_{gon}$ ($= -25V$)となり、そのTFT33はオフとなる。

次の時刻 t_3 では、スキャンバスライン32-1, 32-2に電圧 V_{goff} が印加されるから、ゲートGがスキャンバスライン32-1に接続されたTFT33のゲート・ドレイン間電圧 V_{g-d} は、 $V_{goff} - V_{goff}$ ($= 0V$)となり、そのTFT33はオフ状態を継続する。そして、TFT33のソースSの電位は、データバスライン(共通電極)に印加されるデータ電圧に対応して変化する。

又次の負極性のデータ電圧を印加するフレーム

の時刻 t_1' では、スキャンバスライン32-1に電圧 V_{gon} 、スキャンバスライン32-2に電圧 $V_{r'}$ が印加され、データバスライン34-1に例えば $-V_d$ が印加される。従って、ゲートGがスキャンバスライン32-1に接続されたTFT33のゲート・ソース間電圧 V_{g-s} は、 $V_{gon} - V_{r'}$ ($= +10V$)となり、そのTFT33はオンとなって、そのTFT33のソースSの電位はドレインDと等しい電位となり、表示素子35にはデータバスライン34-1に加えられたデータ電圧 $-V_d$ と $V_{r'}$ との差の電圧が充電されることになる。

次の時刻 t_2' では、スキャンバスライン32-1に電圧 V_{goff} 、スキャンバスライン32-2に電圧 V_{gon} 、スキャンバスライン32-3に電圧 $V_{r'}$ が印加されるから、ゲートGがスキャンバスライン32-1に接続されたTFT33のゲート・ソース間電圧 V_{g-s} は、正極性のデータ電圧を印加するフレームの場合と同様に、 $V_{goff} - V_{gon}$ ($= -25V$)となり、そ

のTFT33はオフとなる。

次の時刻 t_3' では、前フレームの場合と同様に、スキャンバスライン32-1, 32-2に電圧 V_{goff} が印加されるから、ゲートGがスキャンバスライン32-1に接続されたTFT33のゲート・ソース間電圧 V_{g-s} は $0V$ となり、オフとなる。

前述のように、順次走査パルス電圧 V_{g1} , V_{g2} , ...を、スキャンバスライン32-1, 32-2, ...に印加し、表示データに従ったデータ電圧 V_{d1} , V_{d2} , ...をデータバスライン34-1, 34-2, ...に印加することにより、表示駆動を行うことができる。

(発明が解決しようとする課題)

アクティブマトリクス型表示装置に於けるTFTは、多結晶シリコン或いはアモルファスシリコンを用いて構成される場合が一般的であり、例えば、アモルファスシリコンを用いて構成したTFTは、400℃以下の低温プロセスで製作することが可能であるから、安価なガラス基板上に形成

することができる。このTFTに於いては、ゲート絶縁膜に窒化シリコン(SiN)、ゲート金属はクロム(Cr)又はチタン(Ti)、ソース電極及びドレイン電極は、クロム(Cr)或いはチタン(Ti)とアルミニウム(Al)との2層金属が用いられ、ゲート電圧を10Vとした時、オン電流は 8×10^{-4} A、ゲート電圧を0Vとした時、オフ電流は 1×10^{-11} A以下で、オン・オフ比は約6桁となり、表示素子に印加したデータ電圧を次のフレームまで十分に保持できる。

しかし、このTFTの閾値電圧は、ゲート電圧を正極性とした時正方向にシフトし、負極性とした時負方向にシフトする。例えば、ゲート電圧を負極性として100時間後の閾値電圧の変化(負方向への変化)を測定したところ、第7図に示す結果が得られた。即ち、ゲート電圧を負極性として大きくするに従って、閾値電圧の変化分は急激に大きくなる。

このような閾値電圧の変化は、正極性のゲート電圧の場合はその約2乗に比例し、負極性のゲ

ート電圧の場合はその3~4乗に比例することが知られている。又時間の経過と共に閾値電圧が変化し、時間の対数の2乗に比例することが知られている。

前述のゲート接続対向マトリクス構成のアクティブマトリクス型表示装置に於いては、隣接スキャンバスラインに電圧 V_{goff} を印加した時、TFT33はオフ状態を維持する必要がある、その場合には、TFT33のゲート・ドレイン間電圧は0Vとなる。即ち、TFT33の閾値電圧は0V以上の正極性電圧であることが必要である。しかし、第6図に示すように、走査パルス電圧が印加された直後に於いては、時刻 t_2 、 t_2' に於けるように、負極性のゲート・ドレイン間電圧となり、TFT33の閾値電圧が負方向に変化することになる。又時刻 t_1 、 t_1' に於いては正極性のゲート電圧が印加されるから、TFT33の閾値電圧が正方向に変化することになる。

しかし、前述のように、負極性ゲート電圧を印加した時の閾値電圧の変化が大きいためであり、

例えば、ゲート・ドレイン間電圧が-2.5Vとなると、閾値電圧は100時間後に、0.9V負方向に変化する。又時間の経過と共に更に変化するため、閾値電圧が0V以下の負極性となる場合が生じることがあり、このようなTFT33が含まれていると、ゲート・ドレイン間電圧が0Vの時に完全にオフ状態とすることができなくなり、表示素子35に印加したデータ電圧を次のフレームまで保持できなくなる。即ち、表示輝度が低下する等の欠点が生じる。

本発明は、薄膜トランジスタの閾値電圧の負側への変化を抑制して駆動することを目的とするものである。

(課題を解決するための手段)

本発明のアクティブマトリクス型表示装置の駆動方法は、薄膜トランジスタのゲートに印加される負極性の電圧を低減して駆動するもので、第1図を参照して説明する。

一方のガラス等の透明基板(図示せず)上に、表示電極1と、スキャンバスライン2と、隣接す

るスキャンバスライン2間にゲートGとドレインDとが接続され、表示電極1にソースSが接続された薄膜トランジスタ3とを形成し、他方のガラス等の透明基板(図示せず)上に、スキャンバスライン2と直交する方向に延長し、且つ表示電極1と対向する共通電極4をデータバスラインとして形成し、表示電極1と共通電極4との間に表示媒体を封入して表示素子5としたゲート接続対向マトリクス構成のアクティブマトリクス型表示装置の駆動方法に於いて、スキャンバスライン2に対して、薄膜トランジスタ3をオンとするアドレス電圧 V_{gon} を印加した後、走査方向の後位に隣接するスキャンバスライン2に、アドレス電圧 V_{gon} を印加するタイミングで、アドレス電圧 V_{gon} と非アドレス電圧 V_{goff} との中間の電圧 V_m を印加して駆動するものである。

(作用)

スキャンバスライン2にアドレス電圧 V_{gon} を印加することにより、そのスキャンバスライン2にゲートGが接続されたTFT3はオン状態と

なる。そして、そのアドレス電圧 V_{gon} を印加した後、 $V_{gon} > V_m > V_{goff}$ の関係に選定された電圧 V_m を印加する。この電圧 V_m を印加した時、走査方向の後位のスキャンバスライン 2 にはアドレス電圧 V_{gon} が印加されるから、電圧 V_m がゲート G に印加される TFT3 のゲート・ドレイン間電圧は、 $V_m - V_{gon}$ となる。 $V_m > V_{goff}$ の関係があるから、ゲート・ドレイン間電圧は、従来例よりも小さくなる。従って、TFT3 のゲート G に印加される負極性電圧を低減し、閾値電圧の負方向へのシフトを抑制することができる。なお、アドレス電圧 V_{gon} 印加直前の電圧 V_r は、データ電圧 V_{d1} 、 V_{d2} 、・・・が表示素子 5 に $V_d = V_r$ として印加される為のデータ電圧の基準の電圧である。

〔実施例〕

以下図面を参照して本発明の実施例について詳細に説明する。

第 2 図は本発明の実施例の説明図であり、 V_r は TFT3 (第 1 図参照) のゲート G に印加され

る電圧、即ち、スキャンバスライン 2 に印加される電圧、 V_g は TFT3 のドレイン D に印加される電圧、即ち、前記スキャンバスライン 2 に走査方向の後位に隣接するスキャンバスライン 2 に印加される電圧を示す。又 $V_g - V_g$ は、TFT3 のゲート・ドレイン間電圧を示す。

又 V_{gon} は TFT3 をオンとする為のアドレス電圧、 V_{goff} は TFT3 をオフとする為の非アドレス電圧、 V_m 、 V_m' はアドレス電圧 V_{gon} の直後に印加する電圧で、 $V_{gon} > V_m > V_{goff}$ の関係に選定されている。又 V_r 、 V_r' はアドレス電圧 V_{gon} 直前に印加する電圧である。例えば、 $V_{gon} = +15V$ 、 $V_r = +5V$ 、 $V_r' = -5V$ 、 $V_{goff} = -10V$ 、 $V_m = -5V$ 、 $V_m' = +5V$ とすることができる。

スキャンバスライン 2 に、時刻 t_0 に V_r 、時刻 t_1 に V_{gon} 、時刻 t_2 に V_m 、時刻 t_3 以降は V_{goff} を印加し、次のフレーム F の時刻 t_0' に V_r' 、時刻 t_1' に V_{gon} 、時刻 t_2' に V_m' 、時刻 t_3' 以降は V_{goff} を印加し、そのスキャンバスライン 2 に隣接するスキャンバスライン 2 に、時刻 t_0 に V_{goff} 、時刻 t_1 に V_r' 、時刻 t_2 に V_{gon} 、時刻 t_3 に V_m' を印加し、時刻 t_4 以降は V_{goff} を印加し、次のフレームの時刻 t_1' に V_r 、時刻 t_2' に V_{gon} 、時刻 t_3' に V_m 、それ以降は V_{goff} を印加する。

従って、時刻 t_1 、 t_1' にアドレス電圧 V_{gon} がゲートに印加される TFT3 のゲート・ドレイン間電圧は、 $V_g - V_g$ に示すようにそれぞれ変化する。即ち、走査方向の後位のスキャンバスライン 2 にアドレス電圧 V_{gon} を印加した時に、電圧 V_m (V_m') を印加するものであるから、この電圧 V_m (V_m') がゲート G に、又アドレス電圧 V_{gon} がドレイン D にそれぞれ印加されることになり、その TFT3 のゲート・ドレイン間電圧 $V_g - V_g$ は、 $V_m - V_{gon}$ (又は $V_m' - V_{gon}$) となり、前述の電圧設定時は、 $V_m - V_{gon} = -20V$ 、或いは $V_m' - V_{gon} = -10V$ となる。

ゲート G に印加される負極性の電圧が $-20V$ の時、100 時間経過で閾値電圧の負方向の変化が約 $0.3V$ (第 7 図参照) となり、従来例に比較して著しく低減できることになる。

アドレス電圧 V_{gon} 印加直前及び直後の電圧 V_r 、 V_r' 、 V_m 、 V_m' をそれぞれ同一の電圧とすることも可能であり、又図示のように、電圧 $V_r = V_m'$ 、 $V_r' = V_m$ とすることも可能である。

第 3 図は本発明の実施例のブロック図であり、11 はゲート接続対向マトリクス構成のパネル、12 はスキャンバスライン、13 はデータバスライン、14a、14b はデータバスドライバ、15a、15b はスキャンバスドライバ、16a、16b はシフトレジスタ、17a、17b はバッファ増幅器、18a、18b は電圧 V_1 、 V_2 、 V_3 を切替信号に従って切替出力する切替回路であって、スキャンバスライン 12 とデータバスライン 13 との奇偶対応にドライバを分離して設

けた場合を示す。

切替回路18a, 18bにより切替出力する電圧 $V_1 \sim V_3$ は、例えば、 $V_r = V_m'$ 、 $V_r' = V_m$ とした場合に於いて、 $V_1 = V_{gon} (+15V)$ 、 $V_2 = V_r (+5V)$ 、 $V_3 = V_m (-5V)$ とすることができる。又 $V_{goff} (-10V)$ は、スキャンバスドライバ15a, 15bに加えられる。

データバスドライバ14a, 14bに表示データが1ライン分、奇偶対応に分離されて蓄積される。又スキャンバスドライバ15a, 15bにより順次スキャンバスライン12に走査パルス電圧が印加される。このスキャンバスドライバ15a, 15bは、シフトデータSDをシフトクロックSCK1, SCK2によってシフトするシフトレジスタ16a, 16bと、シフト出力信号によって制御されるバッファ増幅器17a, 17bとを備えており、シフトレジスタ16a, 16bの出力信号によって選択されたバッファ増幅器17a, 17bから切替回路18a, 18bの出力電圧

がスキャンバスライン12に加えられ、非選択のバッファ増幅器17a, 17bからは、非アドレス電圧 V_{goff} がスキャンバスライン12に加えられる。

例えば、第2図に於ける時刻 t_1 に、切替回路18aは電圧 $V_1 (V_{gon})$ を切替出力し、切替回路18bは電圧 $V_3 (V_m = V_r')$ を切替出力し、シフトレジスタ16aの出力信号に従ってバッファ増幅器17aから第1番目のスキャンバスライン12にアドレス電圧 $V_{gon} (+15V)$ を印加し、又シフトレジスタ16bの出力信号に従ってバッファ増幅器17bから第2番目のスキャンバスライン12に電圧 $V_r' (-5V)$ を印加する。他の非選択のバッファ増幅器17a, 17bからは、それぞれ非アドレス電圧 $V_{goff} (-10V)$ を第3番目以降のスキャンバスライン12に印加する。

次の時刻 t_2 では、切替回路18aは電圧 $V_3 (V_m = V_r')$ を切替出力し、切替回路18bは電圧 $V_1 (V_{gon})$ を切替出力する。又シフ

トレジスタ16a, 16bはシフトデータSDを1シフトクロック分シフトし、第1番目のスキャンバスライン12に電圧 $V_m (-5V)$ 、第2番目のスキャンバスライン12にアドレス電圧 $V_{gon} (+10V)$ 、第3番目のスキャンバスライン12に電圧 $V_r' (-5V)$ を印加する。以下同様にして、順次3本のスキャンバスライン12がシフトレジスタ16a, 16bの出力信号により選択され、アドレス電圧 V_{gon} を印加するスキャンバスラインの両側に位置するスキャンバスラインに、電圧 V_m, V_r' を印加する。

又次のフレームに於いて、時刻 t_1' に、切替回路18aは電圧 $V_1 (V_{gon})$ を切替出力し、切替回路18bは電圧 $V_2 (V_r = V_m')$ を切替出力し、シフトレジスタ16a, 16bの出力信号に従って、第1番目のスキャンバスライン12に、アドレス電圧 $V_{gon} (+15V)$ を印加し、第2番目のスキャンバスライン12に、電圧 $V_r (+5V)$ を印加する。

次の時刻 t_2' に、切替回路18aは電圧 V_2

$(V_r = V_m')$ を切替出力し、切替回路18bは電圧 $V_1 (V_{gon})$ を切替出力し、シフトレジスタ16a, 16bの出力信号に従って、第1番目と第3番目のスキャンバスライン12に電圧 $V_m = V_r (+5V)$ を印加し、又第2番目のスキャンバスライン12にアドレス電圧 $V_{gon} (+15V)$ を印加し、第4番目以降のスキャンバスライン12には非アドレス電圧 $V_{goff} (-10V)$ を印加する。以下同様にして、順次3本のスキャンバスライン12がシフトレジスタ16a, 16bの出力信号により選択され、アドレス電圧 V_{gon} を印加するスキャンバスラインの両側に位置するスキャンバスラインに、電圧 V_r, V_m' を印加する。

従って、ドライバの構成を特に複雑化することなく、TFT3の閾値電圧の負方向への変化を抑制することができ、表示品質の経年劣化を低減することができる。

(発明の効果)

以上説明したように、本発明は、スキャンバス

ライン2に、アドレス電圧 V_{gon} を印加した後、アドレス電圧 V_{gon} と非アドレス電圧 V_{goff} との中間の電圧 V_m (V_m') を印加するものであり、それによって、電圧 V_m (V_m') がゲートGに印加されるTFT3のドレインDにアドレス電圧 V_{gon} が印加されるが、ゲート・ドレイン間電圧は $V_m - V_{gon}$ (又は $V_m' - V_{gon}$) となり、 V_m (V_m') $> V_{goff}$ であるから、従来例に比較してゲートGに印加される負極性の電圧値を低くすることができる。従って、TFT3の閾値電圧の負方向への変化を抑制することができるから、閾値電圧変化に伴う表示不良の発生を防止し、アクティブマトリクス型表示装置の長寿命化を図ることができる利点がある。

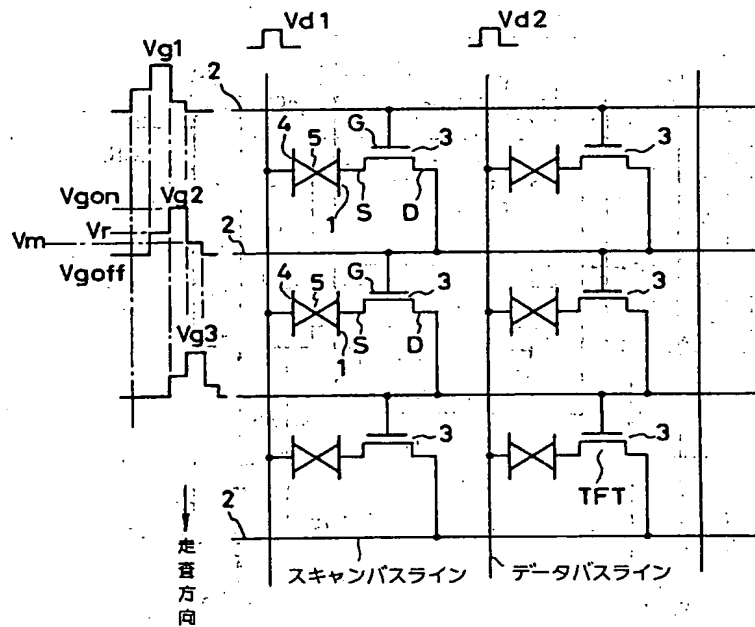
4 図面の簡単な説明

第1図は本発明の原理説明図、第2図は本発明の実施例の説明図、第3図は本発明の実施例のブロック図、第4図は従来例の説明図、第5図は従来例の分解斜視図、第6図は従来例の動作説明図

、第7図はゲート電圧印加による閾値電圧変化の説明図である。

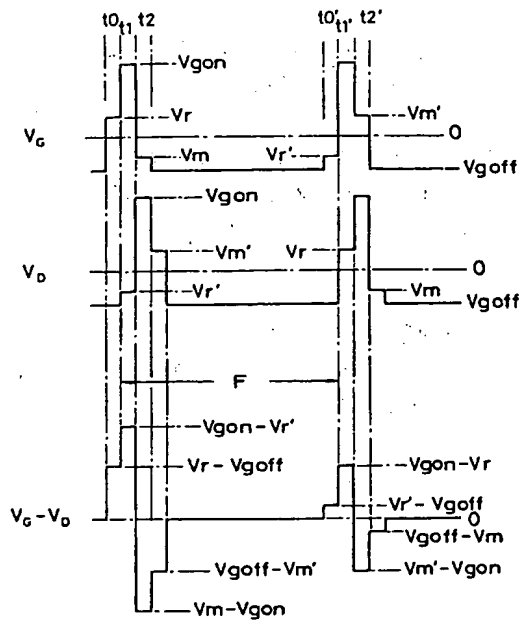
1は表示電極、2はスキャンバスライン、3はTFT、4は共通電極、5は表示素子、Gはゲート、Sはソース、Dはドレイン、 V_{g1} 、 V_{g2} 、 \dots は走査パルス電圧、 V_{gon} はアドレス電圧、 V_{goff} は非アドレス電圧、 V_m は電圧、 V_{d1} 、 V_{d2} 、 \dots はデータ電圧である。

特許出願人 富士通株式会社
代理人弁理士 柏谷昭司
代理人弁理士 渡邊弘一

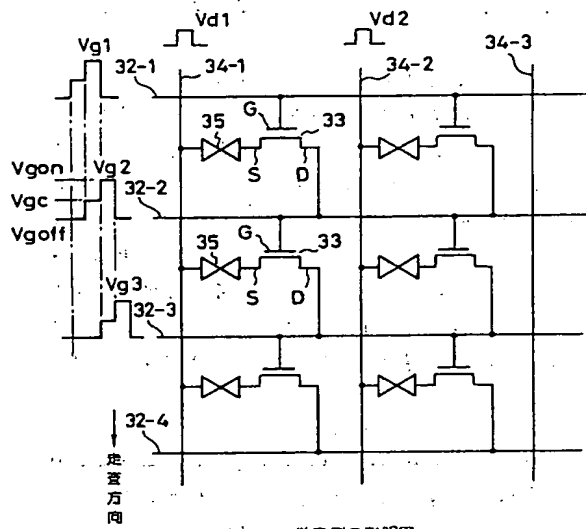


本発明の原理説明図

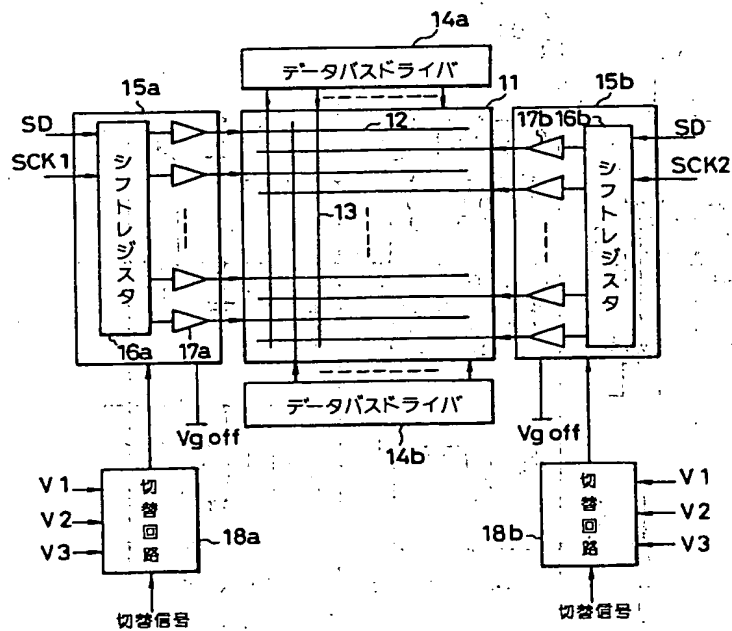
第1図



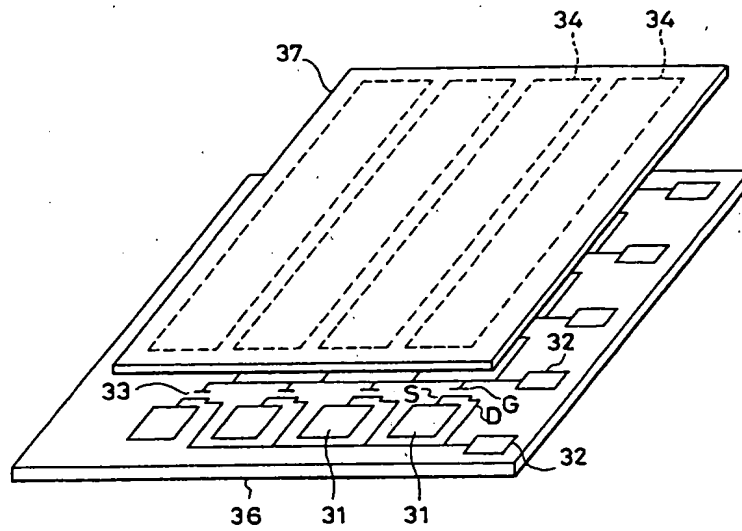
本発明の実施例の説明図
第 2 図



従来例の説明図
第 4 図

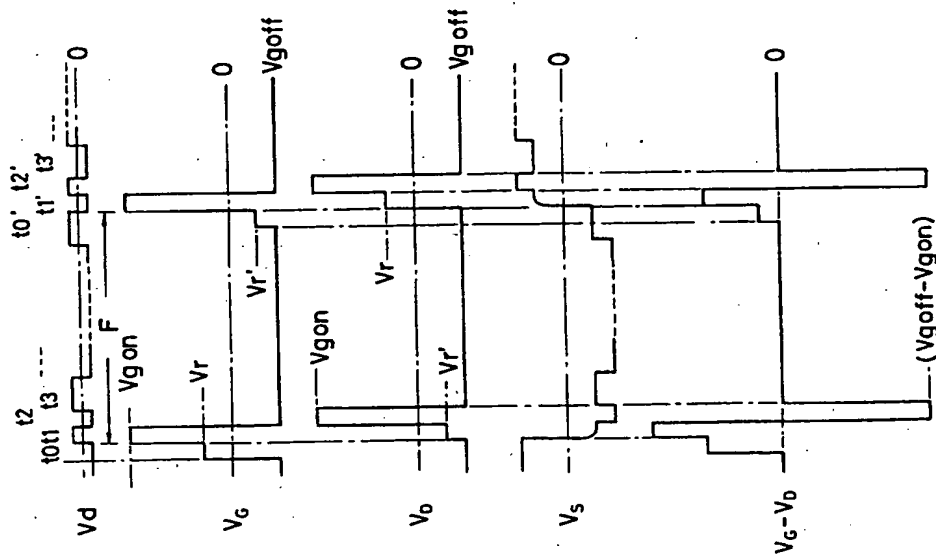


本発明の実施例のブロック図
第 3 図



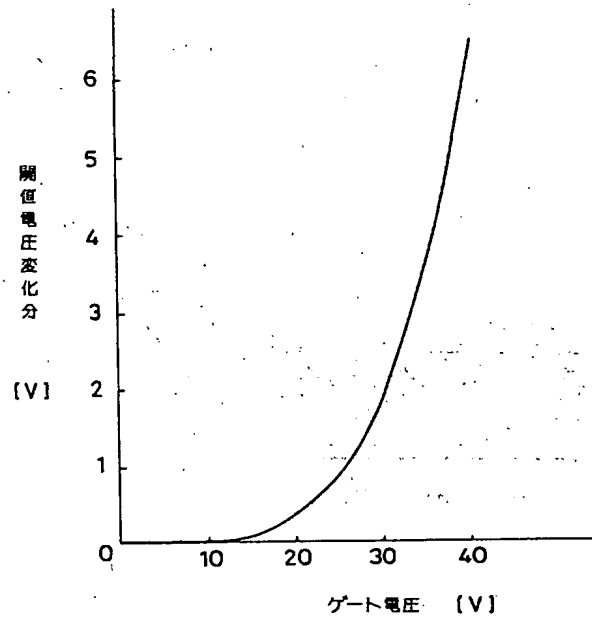
従来例の分解斜視図

第5図



従来例の動作説明図

第6図



ゲート電圧印加による閾値電圧変化の説明図

第 7 図